

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-111075

(43)Date of publication of application : 24.04.1990

(51)Int.Cl.

H01L 29/788

H01L 27/115

H01L 29/792

(21)Application number : 63-265160

(71)Applicant : HITACHI LTD

(22)Date of filing : 20.10.1988

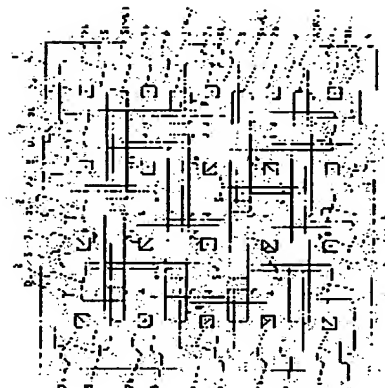
(72)Inventor : NISHIMOTO TOSHIAKI
KOMORI KAZUHIRO

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To improve data erasure characteristics by extending a field insulation film which separates a memory cell in the direction crossing a word line at right angle and by connecting a source region of each memory cell using a common source wire extended in parallel to the word line.

CONSTITUTION: For example, a plurality of field insulation films 2 consisting of SiO₂ are extended on a semiconductor substrate 1 consisting of, for example, a p-type silicon single crystal and the field insulation film 2 is in a configuration where a plurality of field insulation films are connected in band shape. In this case, by extending the field insulation film 2 in the direction crossing a word line WL in band shape, coupling capacity formed between a source region 5 and a floating gate 4 becomes constant in all memory cells. It improves data erasure characteristics.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平2-111075

⑮ Int.Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)4月24日

H 01 L 29/788
27/115
29/792

7514-5F H 01 L 29/78 3 7 1
8624-5F 27/10 4 3 4

審査請求 未請求 請求項の数 4 (全16頁)

⑭ 発明の名称 半導体装置およびその製造方法

⑰ 特 願 昭63-265160

⑱ 出 願 昭63(1988)10月20日

⑲ 発 明 者 西 本 敏 明 東京都小平市上水本町5丁目20番1号 株式会社日立製作所武蔵工場内

⑲ 発 明 者 小 森 和 宏 東京都小平市上水本町5丁目20番1号 株式会社日立製作所武蔵工場内

⑳ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉑ 代 理 人 弁理士 筒井 大和

明 細 書

1. 発明の名称

半導体装置およびその製造方法

2. 特許請求の範囲

1. フローティングゲートとコントロールゲートとからなる二層ゲート構造のメモリセルを備え、前記メモリセルの各々のドレイン領域に接続されたデータ線を通じて所定のメモリセルを選択する不揮発性MOS・FETメモリであって、前記メモリセルを分離するフィールド絶縁膜を、ワード線と直交する方向に延在させるとともに、前記メモリセルの各々のソース領域を、ワード線と平行する方向に延在させた共通ソース線で接続したことを特徴とする半導体装置。
2. 前記共通ソース線の一部が、前記ワード線上を覆っていることを特徴とする請求項1記載の半導体装置。
3. フローティングゲートとコントロールゲートとからなる二層ゲート構造のメモリセルを備え、前記メモリセルの各々のドレイン領域に接続さ

れたデータ線を通じて所定のメモリセルを選択する不揮発性MOS・FETメモリの製造方法であって、前記メモリセルを分離するフィールド絶縁膜を、ワード線と直交する方向に延在させるとともに、前記メモリセルの各々のソース領域を、ワード線と平行する方向に延在させた共通ソース線で接続する際、前記フローティングゲートとコントロールゲートとを重ね切りで形成した後、前記共通ソース線を形成することを特徴とする半導体装置の製造方法。

4. 前記コントロールゲートに用いる導電膜の上に絶縁膜を被着し、フローティングゲートとコントロールゲートとを重ね切りで形成した後、前記フローティングゲートとコントロールゲートとの側壁にスペーサを形成し、次いで、前記共通ソース線を形成することを特徴とする請求項3記載の半導体装置の製造方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、半導体装置およびその製造技術に関

し、特にデータの消去ならびに再書き込みが可能な不揮発性MOS・FETメモリに適用して有効な技術に関するものである。

〔従来の技術〕

データの消去ならびに再書き込みが可能な不揮発性メモリ(Erasable Programmable Read Only Memory: 以下、EPROMという)については、例えば株式会社オーム社、昭和59年11月30日発行、「LSIハンドブック」P518～P520に記載がある。

上記EPROMは、従来、メモリセルが1トランジスタで構成されたnチャネル形チャネル注入構造のMOS・EPROMが主流となっており、メモリセルをnチャネルMOS・FETで構成し、周辺回路をCMOS(Complementary MOS)・FETで構成することによって、低電力化および高速化を実現している。

上記MOS・EPROMのメモリセルアレイは、通常、第11図に示すように、半導体基板30に形成されたソース領域31とドレイン領域32と

フローティングゲートとコントロールゲートとを同時に形成している。

〔発明が解決しようとする課題〕

しかしながら、本発明者の検討によれば、上記した従来のMOS・EPROMには、次のような問題がある。

まず、MOS・EPROMでは、メモリセルを分離するフィールド絶縁膜は、設計上、その四隅が直角となるように定義されている。ところが、実際の基板上に作成されるフィールド絶縁膜は、リソグラフィ工程や酸化工程を経るに連れ、その四隅が次第に丸くなってしまふ。

すると、ワード線WL(コントロールゲート)をパターンニングする際のレジストマスクに、合わせずれや回転ずれが生じた際、第12図に示すように、偶数番目のワード線(WL₂, WL₄, …)または奇数番目のワード線(WL₁, WL₃, …)のいずれか一方(第12図では、偶数番目のワード線WL₂, WL₄)が、フィールド絶縁膜33の丸くなった箇所の上に配置されるため、ソース領域31とフローティングゲ

がメモリセルごとに向かい合うレイアウトになっている。

ドレイン領域32は、フィールド絶縁膜33によってメモリセルごとに分離され、各ドレイン領域32には、コンタクトホール34を介してデータ線DLが接続されている。一方、ソース領域31は、すべてのメモリセルで共通なレイアウトになっている。各メモリセルのソース領域31とドレイン領域32との間には、フローティングゲート35と、ワード線WLを兼ねるコントロールゲート36とが上記データ線DLと直交する方向に延在している。

上記MOS・EPROMの製造工程では、フィールド絶縁膜とゲート絶縁膜とが形成された基板上に、第1層目のポリシリコン(多結晶Si)膜を被着し、次いで、このポリシリコン膜を熱酸化してその表面に絶縁膜を形成した後、さらに第2層目のポリシリコン膜を被着し、その後、上記第1層目および第2層目のポリシリコン膜を重ね切りでエッチングすることによって、前記したフロ

ート35との間に形成されるカップリング容量(C_s)が、偶数番目のワード線(WL₂, WL₄, …)と奇数番目のワード線(WL₁, WL₃, …)とで異なってしまう。

その結果、特にソースに高電圧を印加し、フローティングゲートからのトンネル電流(ファクラール・ノルトハイムトンネル電流)によってデータを電氣的に消去するフラッシュEPROMでは、フローティングゲート電位(V_F)が変動し、データ消去特性がワード線WL1本置きに異なってしまう、という問題が生じる。また、上記したカップリング容量(C_s)のばらつきを防止するために、レジストマスクの合わせずれや回転ずれの余裕を大きくすると、メモリセルのサイズが増大してしまうという問題が生じる。

次に、MOS・EPROMの製造工程では、フローティングゲートとコントロールゲートとを形成する際、第13図に示すように、まず、基板30上に被着した第1層目のポリシリコン膜37の一部(図の点線で示す領域)をエッチングで除去

した後、第2層目のポリシリコン膜を被着し、次いで、上記第1層目および第2層目のポリシリコン膜を重ね切りでエッチングしている。

ところが、このような製造方法を用いると、第14図に示すように、上記した重ね切りの工程でソース領域31の一部(図の斜線で示す箇所)がオーバーエッチングされ、基板30が削られてしまうため、この箇所で接合リーク電流が生じたり、ソース領域31が断線したりする不良が発生し、MOS・EPROMの製造歩留りが低下してしまうという問題が生じる。

本発明は、上記した問題点に着目してなされたものであり、その目的は、MOS・EPROMのデータ消去特性を向上させることのできる技術を提供することにある。

本発明の他の目的は、MOS・EPROMの製造歩留りを向上させることのできる技術を提供することにある。

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らか

とを重ね切りで形成した後、上記した共通ソース線を形成するMOS・EPROMの製造方法である。

請求項4記載の発明は、上記したMOS・EPROMを製造する際、コントロールゲート用導電膜の上に絶縁膜を被着した後、フローティングゲートとコントロールゲートとを重ね切りで形成し、次いで、上記フローティングゲートとコントロールゲートとの割壁にスペーサを形成した後、共通ソース線を形成するMOS・EPROMの製造方法である。

〔作用〕

請求項1記載の発明によれば、帯状に延在されたフィールド絶縁膜上にワード線(コントロールゲート)が配置されるため、ワード線をパターンニングする際、レジストマスクに合わせずれや回転ずれが生じた場合でも、ソース領域とフローティングゲートとの間に形成されるカップリング容量が、すべてのメモリセルで一定となる。その結果、特にフラッシュEEPROMでは、ソース領域に

になるであろう。

〔課題を解決するための手段〕

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

すなわち、請求項1記載の発明は、メモリセルを分離するフィールド絶縁膜を、ワード線と直交する方向に延在させるとともに、各メモリセルのソース領域を、ワード線と平行する方向に延在させた共通ソース線で接続したMOS・EPROMである。

請求項2記載の発明は、上記した共通ソース線の一部がワード線上を覆っているMOS・EPROMである。

請求項3記載の発明は、メモリセルを分離するフィールド絶縁膜を、ワード線と直交する方向に延在させるとともに、各メモリセルのソース領域を、ワード線と平行する方向に延在させた共通ソース線で接続するMOS・EPROMを製造する際、フローティングゲートとコントロールゲート

高電圧(V_g)を印加したときのフローティングゲート電位(V_f)が安定し、データ消去特性が安定する。

請求項2記載の発明によれば、パッシベーション膜などからフローティングゲートに浸入する水分が共通ソース線によって遮蔽されるため、フローティングゲートに注入された電荷の拡散が防止され、EPROMのデータ保持特性が向上する。

請求項3記載の発明によれば、フローティングゲートとコントロールゲートとを重ね切りで形成する際のオーバーエッチング領域がフィールド絶縁膜上に位置するので、基板の削れが防止される。

その結果、接合リーク電流の発生やソース領域の断線が防止され、MOS・EPROMの製造歩留りが向上する。

請求項4記載の発明によれば、共通ソース線を自己整合的に形成することができるため、ソース領域上の絶縁膜を開孔してコンタクトホールを形成する際のマスク合わせ余裕が不要となり、メモリセルのサイズを縮小することができる。

(実施例1)

第1図は、本発明の一実施例である半導体装置のメモリセルアレイを示す半導体基板の要部平面図、第2図は、第1図のⅡ-Ⅱ線断面図、第3図は、第1図のⅢ-Ⅲ線断面図、第4図(a)~(f)および第5図(a)~(f)は、この半導体装置の製造方法を示す半導体基板の要部断面図である。

本実施例1の半導体装置は、MOS・EPROMであり、そのメモリセルアレイは、第1図に示すような構成となっている。なお、第1図では、説明を簡単にするため、フィールド絶縁膜以外の絶縁膜の図示は省略する。

例えばp形シリコン単結晶からなる半導体基板1上には、SiO₂からなる複数のフィールド絶縁膜2が、図の上下方向に延在されている。このフィールド絶縁膜2は、従来のMOS・EPROMのフィールド絶縁膜とは異なり、図の上下方向に沿って並んだ複数のフィールド絶縁膜同士を帯状に繋ぎ合わせた構成になっている。

上記帯状のフィールド絶縁膜2と直交する方向

にソース領域5に高電圧(V_s)が印加されるようになっている。

上記した共通ソース線SLの線幅は、隣り合った2本のワード線WLの間隔よりも広がっている。

すなわち、ソース領域5の全域およびその両側のワード線WLの一部は、この共通ソース線SLによって、その上方が覆われている。

共通ソース線SLの上方には、例えばアルミニウム合金からなるデータ線DLが、フィールド絶縁膜2と平行する方向に延在されている。このデータ線DLは、第1図では図示しない絶縁膜とBPSG(Boro Phospho Silicate Glass)膜とに開孔されたコンタクトホール7bを介して各ドレイン領域6と電気的に接続され、このデータ線DLを通じて所定のドレイン領域6が選択されるようになっている。

第2図および第3図は、上記したメモリセルアレイの断面構造である。これらの図において、8は、例えばp形不純物イオンが打ち込まれたpウェルであり、9は同じくp形不純物イオンが打ち

には、例えばポリシリコンからなるワード線WLが延在されている。このワード線WLは、メモリセルのコントロールゲート3を兼ねており、各メモリセルのコントロールゲート3の下方には、例えばポリシリコンからなるフローティングゲート4が形成されている。

フィールド絶縁膜2とワード線WLとで囲まれた領域の基板1には、例えばn形拡散層からなるソース領域5とドレイン領域6とが形成されている。

このソース領域5とドレイン領域6とは、メモリセルごとに向かい合うように配置され、かつ、フィールド絶縁膜2とワード線WLとを介して互いに分離されている。

ワード線WLの上方には、例えばポリシリコンからなる共通ソース線SLが、ワード線WLと平行する方向に延在されている。この共通ソース線SLは、第1図では図示しない絶縁膜に開孔されたコンタクトホール7aを介してソース領域5と電気的に接続され、データを電気的に消去するフラッシュEEPROMの場合、この共通ソース線SLを通じ

込まれたチャネルストップ領域である。10は、例えばSiO₂からなるゲート絶縁膜であり、11はしきい値電圧(V_{th})を制御するためのチャネルドープ層である。12、14、15は、例えばSiO₂からなる絶縁膜であり、13は同じくSiO₂からなるスペーサである。16はBPSG膜であり、17は、例えばPSG(Phospho Silicate Glass)からなるパッシベーション膜である。

次に、上記した構成からなるMOS・EPROMの製造方法を第4図(a)~(f)および第5図(a)~(f)を用いて説明する。なお、第4図(a)~(f)は、前記第2図と同じく、第1図のⅡ-Ⅱ線における基板1の断面図であり、第5図(a)~(f)は、前記第3図と同じく、第1図のⅢ-Ⅲ線における基板1の断面図である。

まず、例えばBF₃イオンの打ち込みによって、基板1にpウェル8を形成した後、例えばBF₃イオンの打ち込みと選択酸化法(LOCOS法)とによって、基板1の所定の主面部に帯状のフィールド絶縁膜2とチャネルストップ領域9とを形

成する(第4図(a)、第5図(a))。

次に、上記フィールド絶縁膜2で隔てられた素子形成領域の表面の酸化膜18を、例えばフッ酸水溶液からなるエッチング液で除去した後、基板1を熱酸化することによって、上記素子形成領域の表面に、例えば SiO_2 からなるゲート絶縁膜10を形成する。続いて、例えば B^+ イオンの打ち込みによって、ゲート絶縁膜10の下層に、しきい値電圧(V_{th})を制御するためのチャネルドープ層11を形成する。その後、例えばCVD法を用いて、基板1の表面にフローティングゲート用の第1層目のポリシリコン膜19を被着し、このポリシリコン膜19に、例えば P^+ イオンを打ち込んだ後、ホトレジストマスクを用いたエッチングによって、フィールド絶縁膜2上のポリシリコン膜19を除去する(第4図(b)、第5図(b))。

次に、基板1を熱酸化することによって、上記ポリシリコン膜19の表面に SiO_2 からなる絶縁膜12を形成した後、例えばCVD法を用いて、基板1の表面にコントロールゲート(ワード線)

用の第2層目のポリシリコン膜を被着した後、ホトレジストマスクを用いたエッチングで第1層目のポリシリコン膜19と、その表面の絶縁膜12と、さらにその表面の第2層目のポリシリコン膜とを重ね切りすることによって、フローティングゲート4およびコントロールゲート3(ワード線WL)を同時に形成する(第4図(c)、第5図(c))。

続いて、例えば As^+ イオンの打ち込みによって、基板1にソース領域5およびドレイン領域6を形成した後、例えばCVD法を用いて、基板1の表面に SiO_2 からなる絶縁膜を被着し、この絶縁膜をエッチングすることによって、フローティングゲート4およびコントロールゲート3の側壁にスペーサ13を形成する。このスペーサ13は、図示しない周辺回路のMOS・FETをLDD(Lightly Doped Drain)構造にするためのものである。その後、例えばCVD法を用いて、基板1の表面に SiO_2 からなる絶縁膜14を被着する(第4図(d)、第5図(d))。

次に、ホトレジストマスクを用いたエッチング

によって、上記絶縁膜14のソース領域5上を開孔してコンタクトホール7aを形成した後、例えばCVD法を用いて、基板1の表面に共通ソース線用の第3層目のポリシリコン膜を被着し、このポリシリコン膜に、例えば P^+ イオンを打ち込んだ後、ホトレジストマスクを用いたエッチングによって、このポリシリコン膜のパターニングを行い、共通ソース線SLを形成する(第4図(e)、第5図(e))。

続いて、例えばCVD法を用いて、基板1の表面に SiO_2 からなる絶縁膜15と、BPSG膜16とを順次被着し、基板1を熱処理することによってBPSG膜16を平坦化した後、ホトレジストマスクを用いたエッチングによって、上記絶縁膜15およびBPSG膜16のドレイン領域6上を開孔してコンタクトホール7bを形成する。

次に、基板1を熱処理することによって、コンタクトホール7bにテーパーを設けた後、例えばスパッタ法を用いて、基板1の表面にデータ線用のアルミニウム合金膜を被着し、ホトレジストマ

スクを用いたエッチングによって、このアルミニウム合金膜のパターニングを行い、データ線DLを形成する(第4図(f)、第5図(f))。

最後に、例えばCVD法を用いて、基板1の表面にPSGからなるパッシベーション膜17を被着することによって、前記第1図~第3図に示された本実施例1のMOS・EPROMが得られる。

以上のような本実施例1によれば、下記の効果を得ることができる。

(1)、フィールド絶縁膜2をワード線WLと直交する方向に帯状に延在させたことにより、ワード線WLをパターニングする際のレジストマスクに合わせずれや回転ずれが生じた場合でも、従来のように、ワード線WLがフィールド絶縁膜の端部の上に配置されることがないため、ソース領域5とフローティングゲート4との間に形成されるカップリング容量(C_s)が、すべてのメモリセルで一定となる。

その結果、特にフラッシュEEPROMでは、ソース領域5に高電圧(V_s)を印加したときの

フローティングゲート電位 (V_f) が安定し、データ消去特性が安定する。

(2). 共通ソース線SLの線幅を、隣り合った2本のワード線WLの間隔よりも広くし、ソース領域5の全域およびその両側のワード線WLの一部が、この共通ソース線SLによって覆われるようにしたので、パッシベーション膜17などからフローティングゲート4に浸入する水分が共通ソース線SLによって遮蔽される。

その結果、フローティングゲート4に注入された電荷の拡散が防止されるので、EPROMのデータ保持特性が向上する。

(3). フィールド絶縁膜2を帯状に延在させたことにより、フローティングゲート4とコントロールゲート3とを重ね切りで形成する際のオーバーエッチング領域が、すべてこのフィールド絶縁膜2上に位置するようになるので、基板1の割れが防止される。

その結果、接合リーク電流の発生やソース領域5の断線が防止され、MOS・EPROMの製造

歩留りが向上する。

(実施例2)

第6図は、本発明の他の実施例である半導体装置のメモリセルアレイを示す半導体基板の要部平面図、第7図は、第6図のVII-VII線断面図、第8図は、第6図のVIII-VIII線断面図、第9図(a)~(d)および第10図(a)~(d)は、この半導体装置の製造方法を示す半導体基板の要部断面図である。

本実施例2のMOS・EPROMにおけるメモリセルアレイの構成を第6図~第8図に示す。なお、第6図では、フィールド絶縁膜以外の絶縁膜の図示は省略してある。

前記実施例1のMOS・EPROMとの相違は、共通ソース線SLをソース領域5上に直に接続している点である。従って、本実施例2のMOS・EPROMにおいては、共通ソース線SLとソース領域5とを接続するためのコンタクトホールは存在しない。

以下、本実施例2のMOS・EPROMの製造方法を第9図(a)~(d)および第10図(a)~(d)を用い

て説明する。なお、第9図(a)~(d)は、第7図と同じく、第6図のVII-VII線における基板1の断面図であり、第10図(a)~(d)は、第8図と同じく、第6図のVIII-VIII線における基板1の断面図である。

第9図(a)および第10図(a)は、この製造方法の中途の工程を示し、それぞれ前記実施例1の第4図(a)および第5図(a)に示す工程に対応している。

すなわち、フィールド絶縁膜2上のフローティングゲート用ポリシリコン膜19を、フィールド絶縁膜2の延在方向に沿ってエッチングするまでの工程は、前記実施例1と同じでよい。

次に、基板1を熱酸化することによって、上記ポリシリコン膜19の表面にSiO₂からなる絶縁膜12を形成した後、例えばCVD法を用いて、基板1の表面にコントロールゲート(ワード線)用の第2層目のポリシリコン膜を被着する。

続いて、例えばCVD法を用いて、基板1の表面にSiO₂からなる絶縁膜14を被着する。この絶縁膜14は、後に形成される共通ソース線SLとコントロールゲート3とが短絡するのを防ぐた

めのものである。その後、ホトレジストマスクを用いたエッチングで第1層目のポリシリコン膜19、絶縁膜12、第2層目のポリシリコン膜および絶縁膜14を重ね切りすることによって、フローティングゲート4およびコントロールゲート3(ワード線WL)を同時に形成する(第9図(b)、第10図(b))。

続いて、例えばAsイオンの打ち込みによって、基板1にソース領域5およびドレイン領域6を形成した後、例えばCVD法を用いて、基板1の表面にSiO₂からなる絶縁膜を被着し、この絶縁膜をエッチングすることによって、フローティングゲート4およびコントロールゲート3の側壁にスペーサ13を形成する(第9図(c)、第10図(c))。このエッチング工程で、ソース領域5およびドレイン領域6の表面のゲート絶縁膜10を同時に除去するが、コントロールゲート3上の絶縁膜14が除去されないように、あらかじめ絶縁膜14の膜厚を調整しておく。

次に、例えばCVD法を用いて、基板1の表面

に共通ソース線用の第3層目のポリシリコン膜を被着し、このポリシリコン膜に、例えばPイオンを打ち込んだ後、ホトレジストマスクを用いたエッチングによって、このポリシリコン膜のパターニングを行い、ソース領域5上に共通ソース線SLを形成する(第9図(d)、第10図(d))。このとき、コントロールゲート3上には絶縁膜14が被着され、かつ、側壁にはスペーサ13が形成されているので、共通ソース線SLとコントロールゲート3とが短絡する虞はない。

その後の工程、すなわち、基板1の表面にSiO₂からなる絶縁膜15と、BPSG膜16とを順次被着する工程から、パッシベーション膜17を被着する最終の工程までは、前記実施例1と同じでよい。

以上のような製造方法によれば、ソース領域5上に自己整合的に共通ソース線SLを形成できるので、ソース領域5上の絶縁膜を開孔してコンタクトホールを形成する際のマスク合わせ余裕が不要となり、メモリセルのサイズを縮小することがで

きる。

従って、本実施例2によれば、前記実施例1の効果と併せて、MOS・EPROMを微細化することができる、という効果が得られる。

以上、本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

前記実施例1、2では、共通ソース線をポリシリコンで形成したが、例えばポリサイドその他の導電材料で形成してもよい。

〔発明の効果〕

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

(1). MOS・EPROMのメモリセルを分離するフィールド絶縁膜を、ワード線と直交する方向に延在させるとともに、上記メモリセルの各々のソース領域を、ワード線と平行する方向に延在させ

た共通ソース線で接続した請求項1記載の半導体装置によれば、ソース領域とフローティングゲートとの間に形成されるカップリング容量が、すべてのメモリセルで一定となる結果、特にフラッシュEEPROMでは、ソース領域に高電圧を印加したときのフローティングゲート電位(V_F)が安定し、そのデータ消去特性が向上する。

(2). 上記した共通ソース線の一部が、前記ワード線上を覆っている請求項2記載の半導体装置によれば、パッシベーション膜などからフローティングゲートに浸入する水分が共通ソース線によって遮断されるため、フローティングゲートに注入された電荷の拡散が防止され、MOS・EPROMのデータ保持特性が向上する。

(3). MOS・EPROMのメモリセルを分離するフィールド絶縁膜を、ワード線と直交する方向に延在させるとともに、上記メモリセルの各々のソース領域を、ワード線と平行する方向に延在させた共通ソース線で接続したMOS・EPROMを製造する際、フローティングゲートとコントロー

ルゲートとを重ね切りで形成した後、共通ソース線を形成する請求項3記載の半導体装置の製造方法によれば、フローティングゲートとコントロールゲートとを重ね切りで形成する際の基板の割れが防止されるため、接合リーク電流の発生やソース領域の断線が防止され、MOS・EPROMの製造歩留りが向上する。

(4). 上記したMOS・EPROMを製造する際、あらかじめ、コントロールゲートに用いる導電膜の上に絶縁膜を被着した後、フローティングゲートとコントロールゲートとを重ね切りで形成し、さらに、上記フローティングゲートとコントロールゲートとの側壁にスペーサを形成した後、共通ソース線を形成する請求項4記載の半導体装置の製造方法によれば、共通ソース線を自己整合的に形成することができるため、メモリセルのサイズを縮小することができ、MOS・EPROMの微細化が促進される。

4. 図面の簡単な説明

第1図は本発明の一実施例である半導体装置の

メモリセルアレイを示す半導体基板の要部平面図、

第2図は第1図のII-II線断面図、

第3図は第1図のIII-III線断面図、

第4図(a)~(f)はこの半導体装置の製造方法を示す半導体基板の要部断面図、

第5図(a)~(f)は同じく、この半導体装置の製造方法を示す半導体基板の要部断面図、

第6図は本発明の他の実施例である半導体装置のメモリセルアレイを示す半導体基板の要部平面図、

第7図は第6図のVII-VII線断面図、

第8図は第6図のVIII-VIII線断面図、

第9図(a)~(d)はこの半導体装置の製造方法を示す半導体基板の要部断面図、

第10図(a)~(d)は同じく、この半導体装置の製造方法を示す半導体基板の要部断面図、

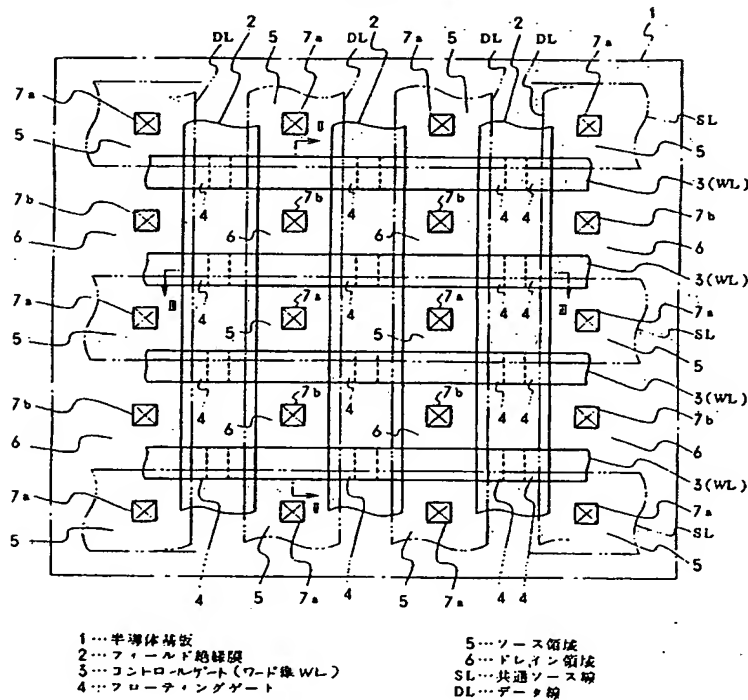
第11図は従来の半導体装置を示す半導体基板の略平面図、

第12図~第14図は従来の半導体装置の製造方法を示す半導体基板の略平面図である。

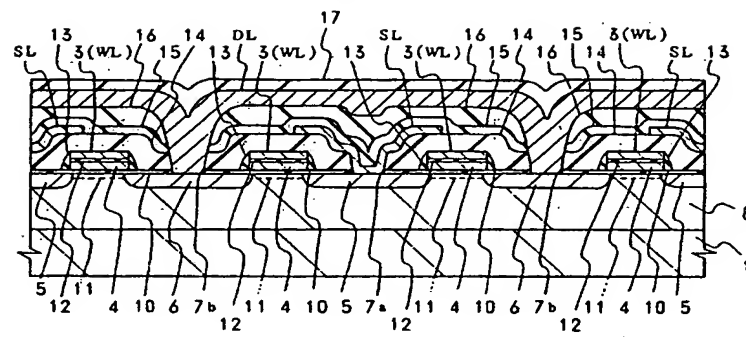
1. 30...半導体基板、2. 33...フィールド絶縁膜、3. 36...コントロールゲート、4. 35...フローティングゲート、5. 31...ソース領域、6. 32...ドレイン領域、7a. 7b. 34...コンタクトホール、8...pウェル、9...チャネルストップパ領域、10...ゲート絶縁膜、11...チャネルドープ層、12. 14. 15...絶縁膜、13...スペーサ、16...BPSSG膜、17...パッシベーション膜、18...酸化膜、19. 37...ポリシリコン膜、DL...データ線、SL...共通ソース線、WL...ワード線。

代理人 弁理士 簡井大和

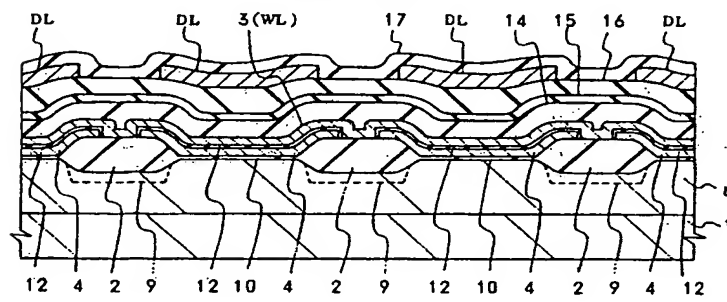
第1図



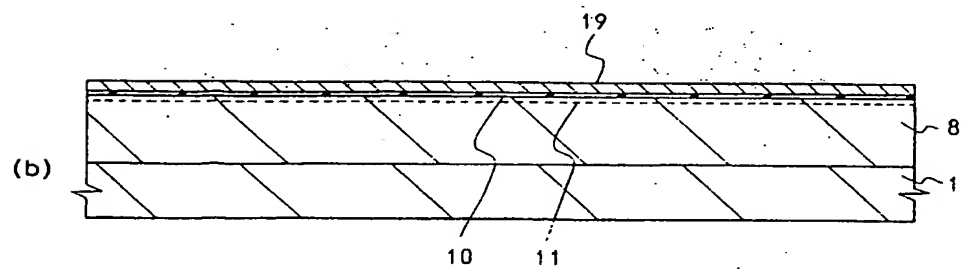
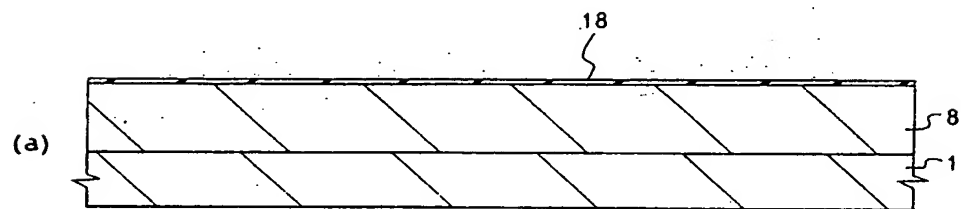
第 2 図



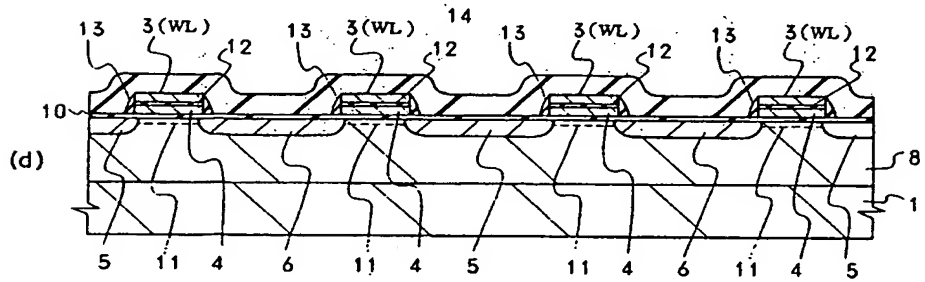
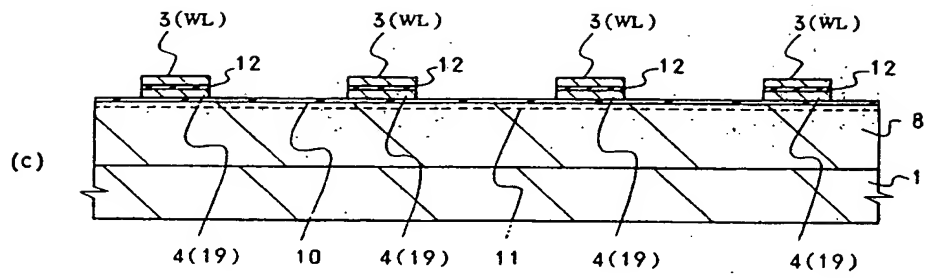
第 3 図



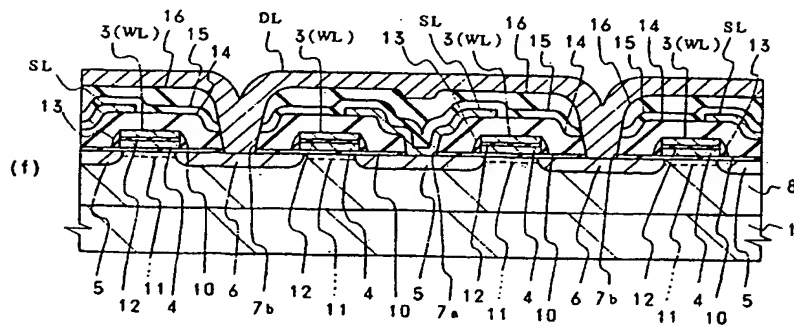
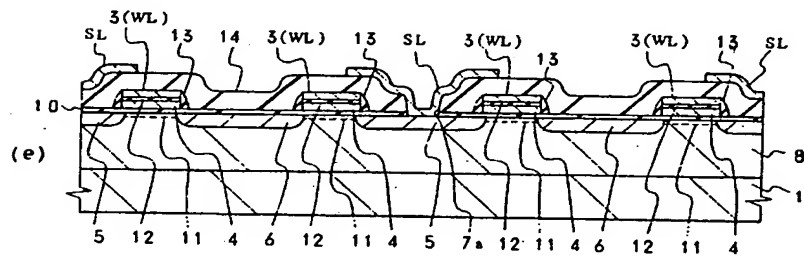
第 4 図



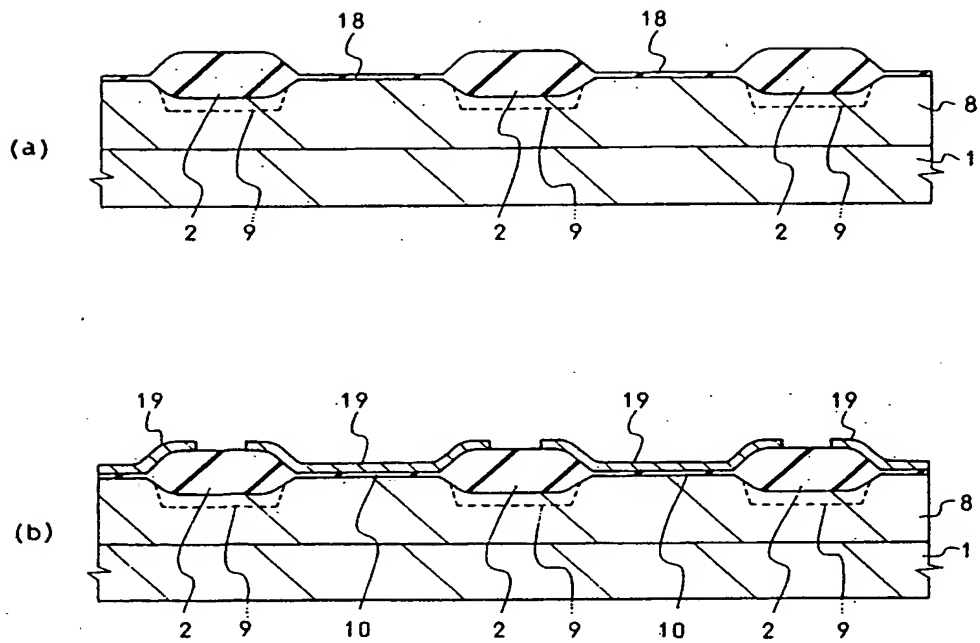
第 4 図



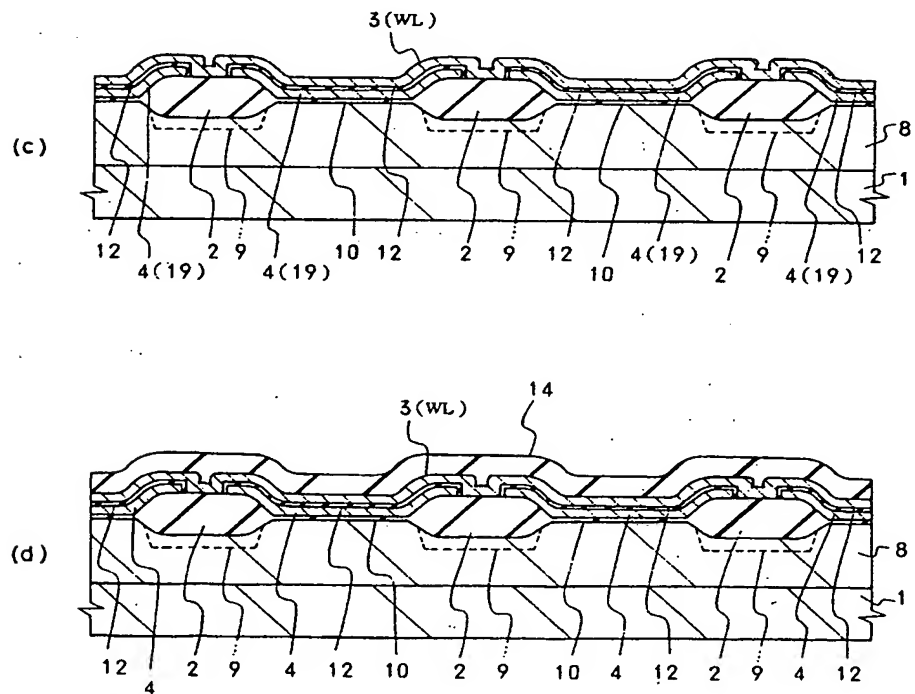
第 4 図



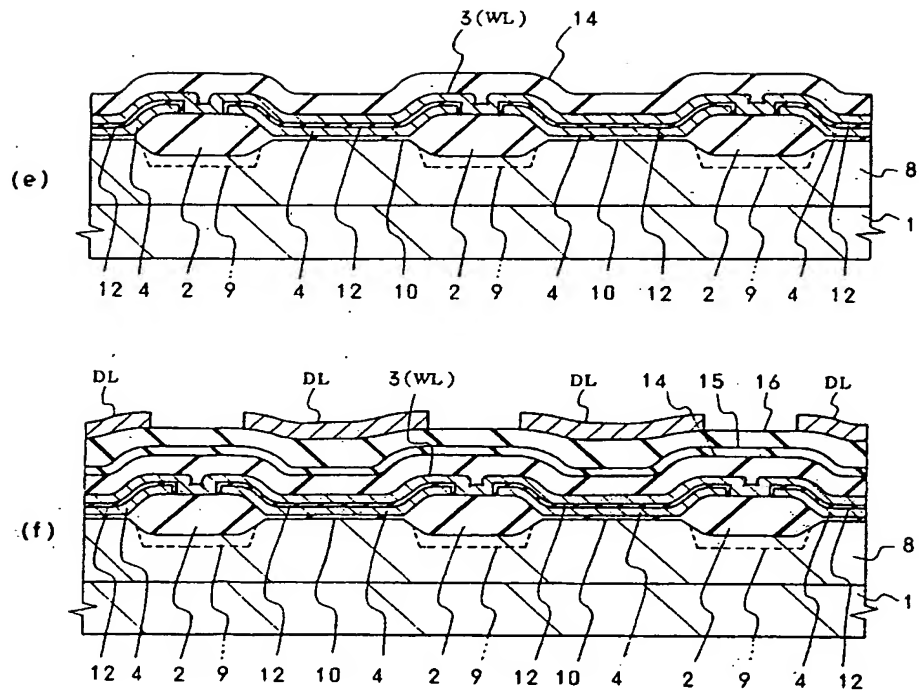
第 5 図



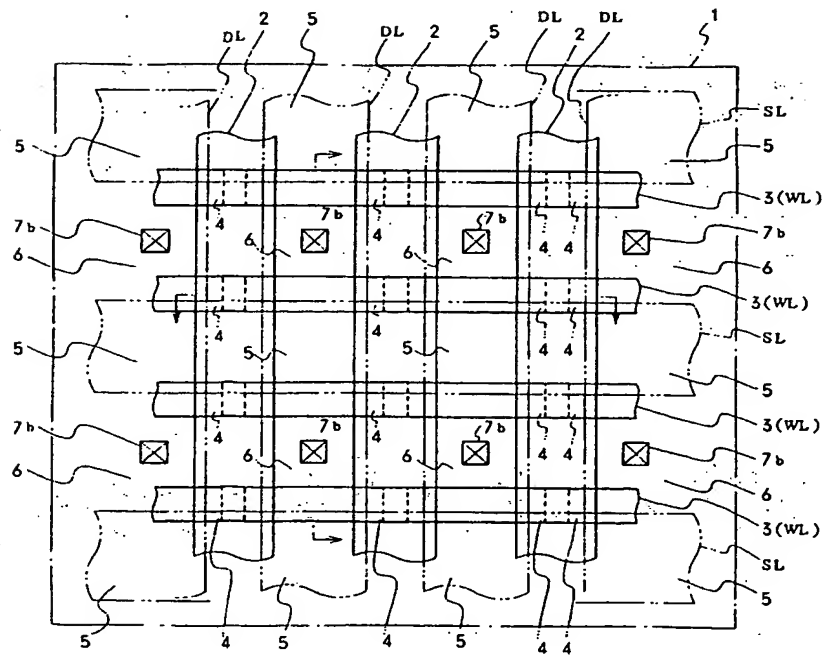
第 5 図



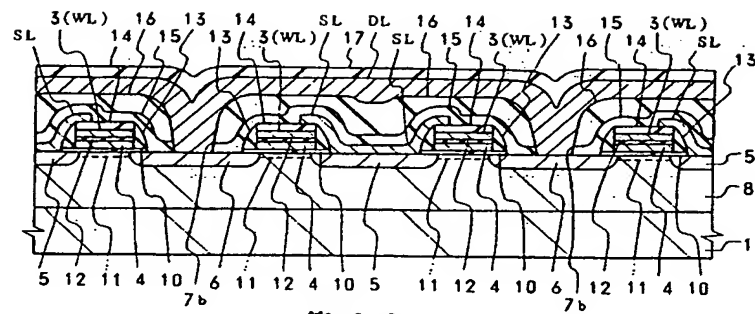
第 5 図



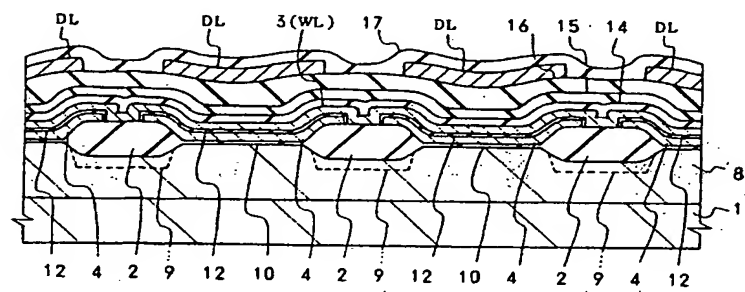
第 6 図



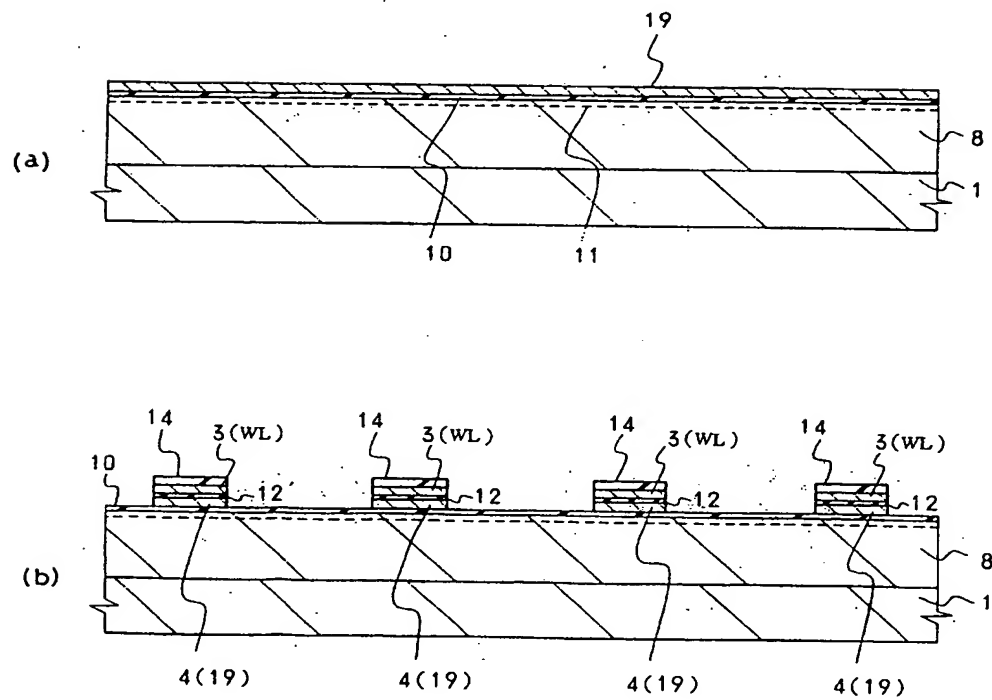
第 7 図



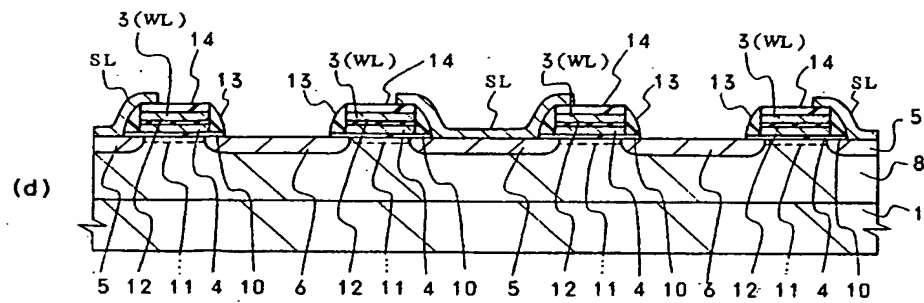
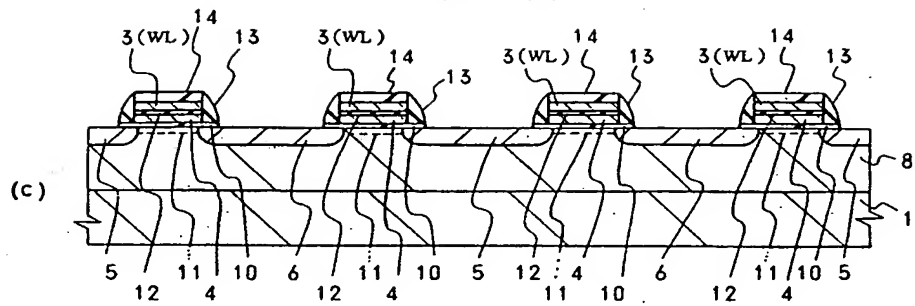
第 8 圖



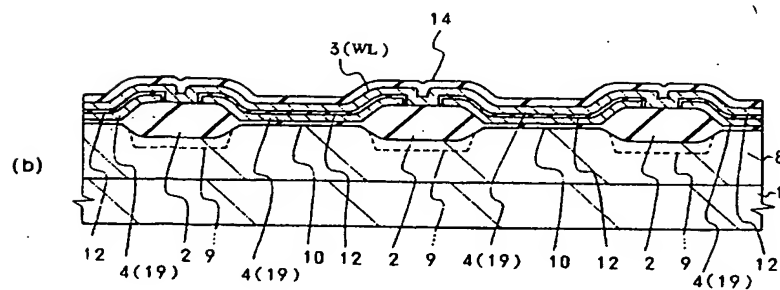
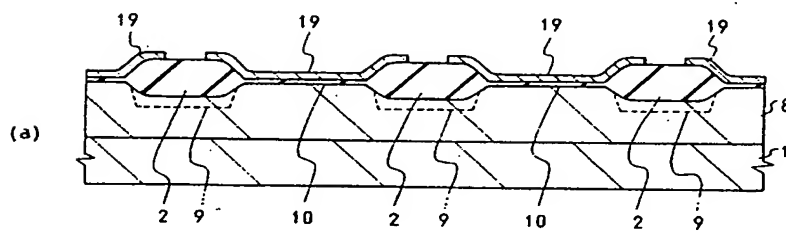
第 9 図



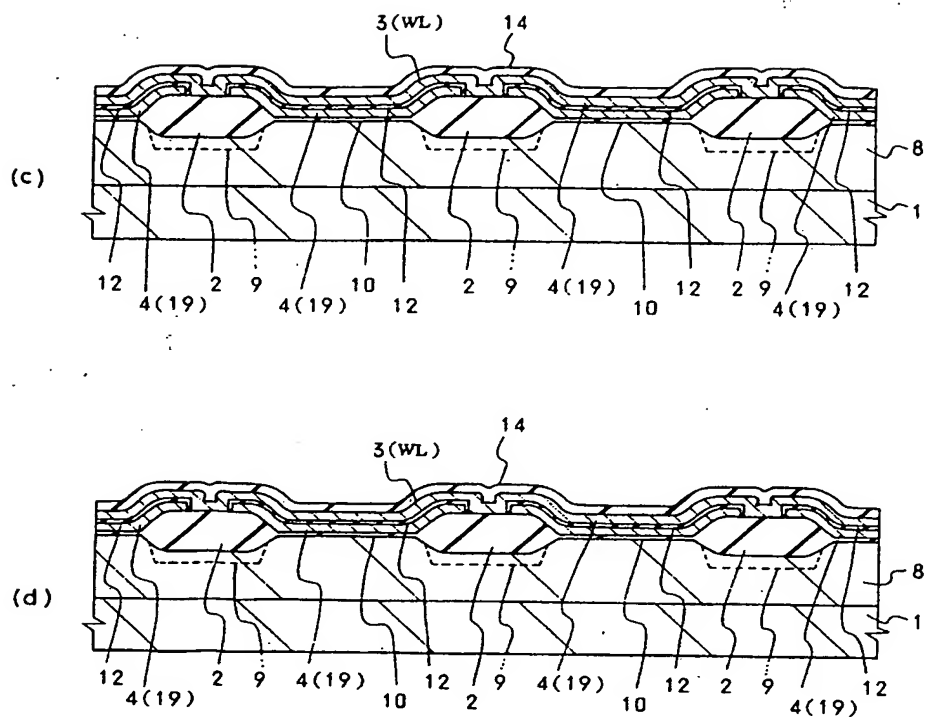
第 9 図



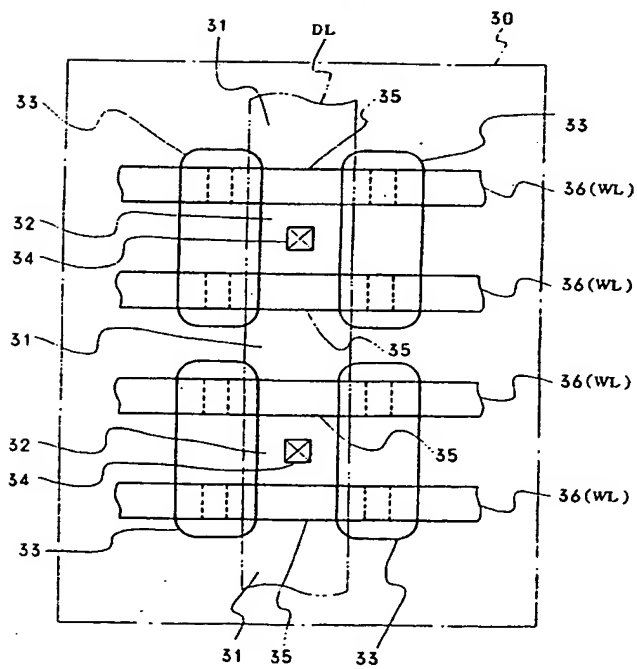
第 10 図



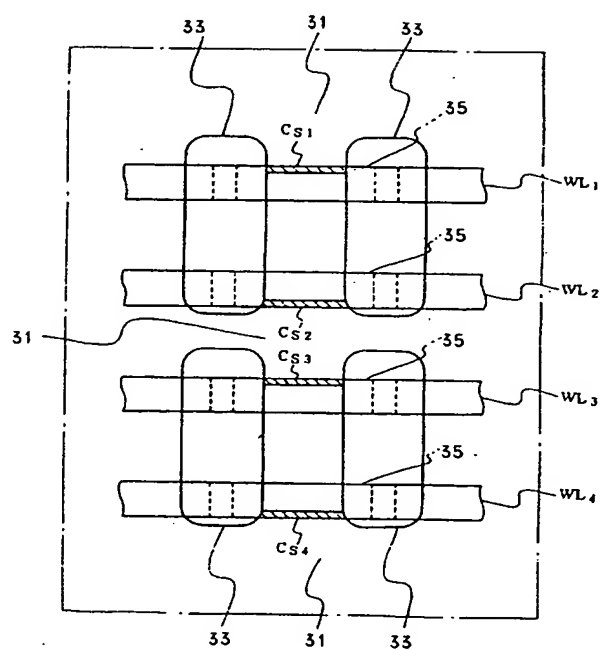
第 10 図



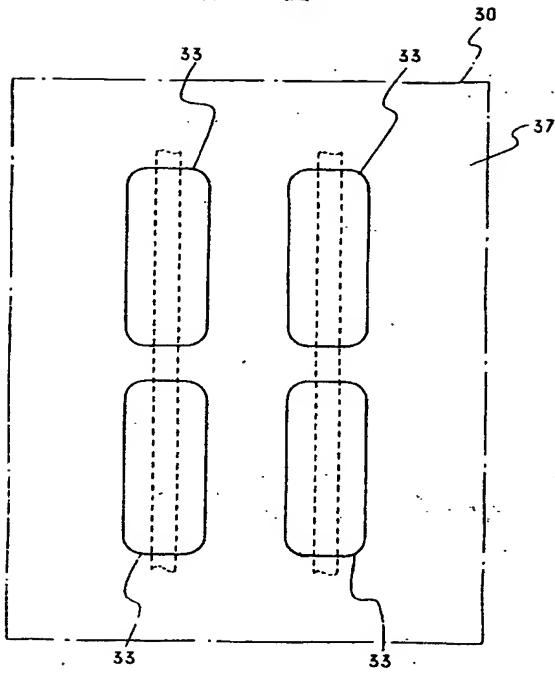
第 11 図



第 12 図



第 13 図



第 14 図

